

PG100D PG100DI

集成式 10/100/1000M 以太网收发器

数据手册

版本：V1.0

发布日期：2026 年 5 月 16 日

版本历史

版本	发布日期	概要
1.0	2026/05/16	首次发布

目录

目录

1 概述	2
2 特性	2
3 系统应用	3
3.1 应用框图—PG100D(I)	4
4 功能框图	4
5 引脚分配	4
6 引脚描述	5
6.1 引脚说明	5
7 功能描述	6
7.1 收发功能	6
7.1.1 1000Mbps 模式	6
7.1.2 100Mbps 模式	6
7.1.3 10Mbps 模式	7
7.2 节能以太网 (EEE)	7
7.3 网络唤醒 (WOL)	7
7.4 中断	7
7.5 INT_n/PME_n 引脚使用	8
7.6 硬件配置	8
7.7 LED 与 PHY 地址配置	9
7.8 MAC/PHY 接口	9
7.8.1 RGMII	9
7.8.2 管理接口	9
7.8.3 页面切换	11
7.8.4 MMD 寄存器访问	11
7.9 自动协商	11
7.10 交叉检测与自动校正	12
7.11 LED 配置	12
7.12 极性校正	13
7.13 电源	13
7.14 PHY 复位 (硬件复位)	13
7.15 环回	14
7.15.1 PCS 环回	14
7.15.2 外部环回	14
8 寄存器描述	14
8.1 寄存器访问类型	14
8.2 MMD 注册表映射与定义	15
8.3 LED 寄存器映射与定义	15
8.4 寄存器列表	16
8.4.1. BMCR (基本模式控制寄存器, Address 0x00)	16
8.4.2 BMSR (基本模式状态寄存器, Address 0x01)	17
8.4.3. PHYID1 (PHY 标识寄存器 1, Address 0x02)	18
8.4.4. PHYID2 (PHY 标识寄存器 2, Address 0x03)	19
8.4.5. ANAR (自动协商通告寄存器, Address 0x04)	19
8.4.6. ANLPR (自动协商对端能力寄存器, Address 0x05)	20
8.4.7. ANER (自动协商扩展寄存器, Address 0x06)	20
8.4.8. ANNPTR (自动协商下一页发送寄存器, Address 0x07)	20

8.4.9 ANPPRR (自动协商下一页接收寄存器, Address 0x08)	21
8.4.10 GBCR (1000BASE-T 控制寄存器, Address 0x09)	21
8.4.11 GBSR (1000BASE-T 状态寄存器, Address 0x0A)	22
8.4.12 MACR (MMD 访问控制寄存器, Address 0x0D)	23
8.4.13 MAADR (MMD 地址数据访问寄存器, Address 0x0E)	23
8.4.14 GBESR (1000BASE-T 扩展状态寄存器, Address 0x0F)	23
8.4.15 INER (中断使能寄存器, Address 0x12)	23
8.4.16 INSR (中断状态寄存器, Address 0x13)	25
8.4.17 PHYCR1 (PHY 私有控制寄存器 1, Address 0x18)	25
8.4.18 PHYCR2 (PHY 私有控制寄存器 2, Address 0x19)	26
8.4.19 PHYSR (PHY 私有状态寄存器, Address 0x1A)	26
8.4.20 PHYCR3 (PHY 私有控制寄存器 3, Address 0x1C)	27
8.4.21 GPAGSR (扩展页面选择寄存器, Address 0x1F)	27
8.4.22 PC1R (PCS 控制寄存器, MMD Device 3, Address 0x00)	27
8.4.23 PS1R (PCS 状态寄存器, MMD Device 3, Address 0x01)	27
8.4.24 EEECR (EEE 能力寄存器, MMD Device 3, Address 0x14)	28
8.4.25 EEEWER (EEE 唤醒错误寄存器, MMD Device 3, Address 0x16)	28
8.4.26 EEEAR (EEE 通告寄存器, MMD Device 7, Address 0x3C)	28
8.4.27 EEELPAR (EEE 对端能力寄存器, MMD Device 7, Address 0x3D)	29
8.4.28 LCR (LED 控制寄存器, Page 0xD04, Address 0x10)	29
9 特性参数	29
9.1 绝对最大额定值	29
9.2 推荐工作条件	30
9.3 晶振要求	30
9.4 DC 特性	30
9.5 AC 特性	31
9.5.1. MDC/MDIO 时序	31
9.5.2. RGMII 时序模式	32
10 机械尺寸	35
11 订购信息	36

1 概述

PG100D (I) 是一款高度集成的以太网收发器, 兼容 IEEE 802.3 10Base- T、100Base - TX、1000Base- T 标准。它提供通过 CAT. 5E 非屏蔽双绞线收发以太网数据包所需的全部物理层功能。PG100DI 为工业级标准。

芯片采用先进混合信号处理技术, 实现交叉检测与自动校正、极性校正、自适应均衡、串扰消除、回波消除、时钟恢复、纠错等功能, 在 10Mbps/100Mbps/1000Mbps 速率下提供稳定的收发能力。

MAC 与 PHY 之间通过千兆媒体独立接口 RGMII 传输数据, 支持 3.3V/2.5V/1.8V 多种 RGMII 信号电平。

2 特性

- 兼容 1000Base-T IEEE 802.3ab

- 兼容 100Base-TX IEEE 802.3u
- 兼容 10Base-T IEEE 802.3
- 支持 RGMII 接口
- 支持 IEEE 802.3az-2010 节能以太网 (EEE)
- 支持网络唤醒 (WOL)
- 支持中断功能
- 支持并行检测
- 交叉检测与自动校正
- 自动极性校正
- 基线漂移校正
- 1000Base-T 模式下 CAT. 5E 线缆支持 120 米长距离传输
- RGMII 信号电平可选: 3.3V/2.5V/1.8V
- 支持 25MHz 外部晶振
- 可为 MAC 提供 125MHz/25MHz 时钟源
- 提供 3 个网络状态 LED
- 内置开关稳压器和 LDO
- 单 3.3V 电源供电
- 40 引脚 QFN 封装
- 工业级 PG100DI, 工作温度: -40°C~80°C

3 系统应用

- 数字电视 (DTV)
- 媒体接入单元 (MAU)
- 通信网络扩展卡 (CNR)
- 游戏机
- 打印机与办公设备
- DVD 播放与刻录机
- 以太网集线器
- 以太网交换机

3.1 应用框图—PG100D(I)

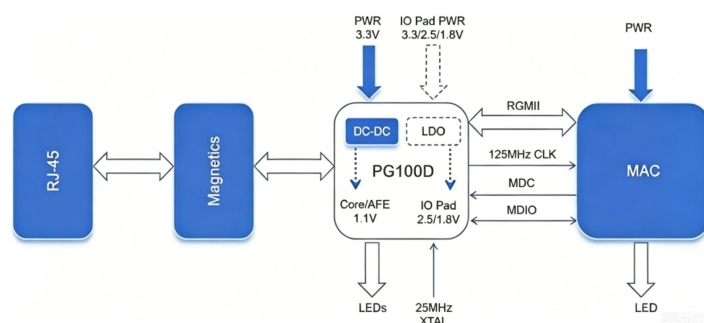


Figure 3-2. 功能框图 PG100D(I)

4 功能框图

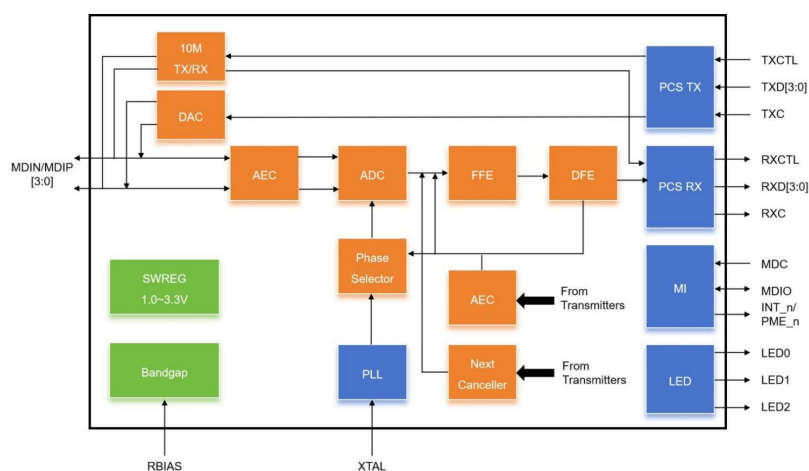


Figure 4-1. Block Diagram

5 引脚分配

40 引脚， QFN 封装

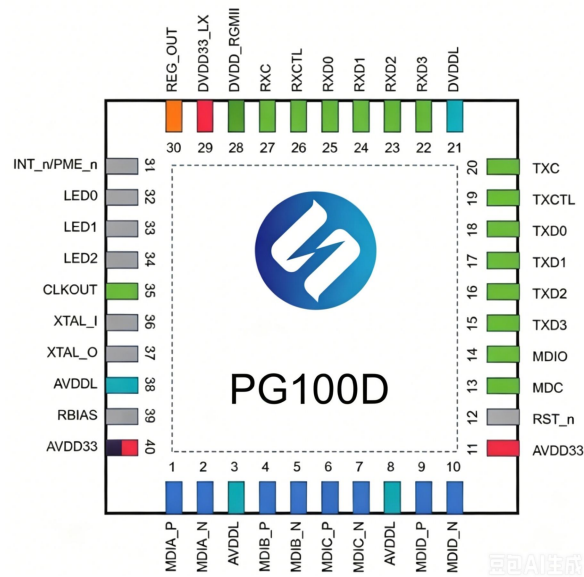


Figure 5-1. Pin Assignments (40-Pin QFN)

6 引脚描述

- I: 输入
O: 输出
IO: 双向
P: 电源
G: 地
PD: 上电复位时内部下拉
PU: 上电复位时内部上拉
OD: 开漏
LI: 上电或复位期间锁存输入

6.1 引脚说明

引脚	名称	类型	功能
1	MDIA_P	I/O	媒体相关接口，差分收发信号
2	MDIA_N	I/O	
3	AVDDL	P	模拟电源 1.1V
4	MDIB_P	I/O	媒体相关接口，差分收发信号
5	MDIB_N	I/O	
6	MDIC_P	I/O	媒体相关接口，差分收发信号
7	MDIC_N	I/O	
8	AVDDL	P	模拟电源 1.1V
9	MDID_P	I/O	媒体相关接口，差分收发信号
10	MDID_N	I/O	
11	AVDD33	P	模拟电源 3.3V
12	RST_n	I	硬件复位，低有效；完整复位需拉低至少 10ms 硬件复位后，所有寄存器都将被清零
13	MDC	I	管理数据时钟
14	MDIO	I/O	管理数据输入 / 输出

引脚	名称	类型	功能
15	TXD3	I	数据发送 数据通过 TXD [3:0] 从 MAC 传输至 PHY
16	TXD2	I	
17	TXD1	I	
18	TXD0	I	
19	TXCTL	I	来自 MAC 的发送控制信号（从 MAC 层接收控制信号）
20	TXC	I	发送参考时钟，速率为 125/25/2.5MHz
21	DVDDL	P	数字内核电源 1.1V
22	RXD3	O/LI/PU	数据接收 数据通过 RXD [3:0] 从 PHY 传输至 MAC
23	RXD2	O/LI/PD	
24	RXD1	O/LI/PD	
25	RXD0	O/LI/PU	
26	RXCTL	O/LI/PD	发往 MAC 的接收控制信号（向 MAC 发送传输控制信号）
27	RXC	O/LI/PD	连续接收参考时钟，速率为 125/25/2.5MHz；该时钟信号源自接收数据流
28	DVDD_RGMII	P	RGMII、MDC、MDIO、RST_n 数字 I/O 电源
29	DVDD33_LX	P	数字电源 3.3V
30	REG_OUT	O	PG100D (I)：开关稳压器 1.1V 输出；
31	INT_n/PME_n	O/OD	中断 / 电源管理事件；可配置 1. 中断引脚（支持 3.3V 上拉），状态发生变化时置为低电平；低电平有效。 2. 电源管理事件引脚（支持 3.3V 上拉）。接收到魔数包或唤醒帧时置为低电平；低电平有效。 3. 若任一功能未被使用，该引脚应保持悬空状态。 4. 该引脚的功能可通过 page 0 Reg 28 bit[4]进行配置： 0：引脚 31 的功能为 INT_n（默认值）； 1. 引脚 31 的功能为 PME_n。
32	LED0	O/LI/PD	“High”=以 10 Mbps 的速率建立连接；“Blinking”=正在传输或接收数据
33	LED1	O/LI/PU	“High”=以 100 Mbps 的速率建立连接；“Blinking”=正在传输或接收数据
34	LED2	O/LI/PD	“High”=以 1000 Mbps 的速率建立连接；“Blinking”=正在传输或接收数据
35	CLKOUT	O	125/25MHz 参考时钟，内部 PLL 生成。若该时钟未被 MAC 使用，则此引脚应保持浮空状态。
36	XTAL_I	I	25MHz 晶振输入，若外部 25MHz 振荡器驱动 XTAL_0，连接至 GND
37	XTAL_O	O	25MHz 晶振输出，若使用 25MHz 振荡器，将 XTAL_0 连接至振荡器输出端
38	AVDDL	P	模拟电源 1.1V
39	RBIAS	O	外部参考电阻
40	AVDD33	P	模拟电源 3.3V

7 功能描述

7.1 收发功能

7.1.1 1000Mbps 模式

发送时，数据字节转为 9bit，并编码为 4D-PAM5，随后通过 DAC 以 125Mbps 的速率传输至 CAT.5E 电缆。

接收时，信号经混合电路降低近端回波，再经自适应均衡、基线校正、串扰消除、回声消除、时序恢复、纠错、4D-PAM5 解码等处理，恢复 8bit 数据，以 125MHz 时钟通过 RGMII 输出。

7.1.2 100Mbps 模式

发送：通过数模转换器（DAC）执行并行到串行转换、4B/5B 编码、扰频、NRZ 到 NRZI 转换以及 MLT-3 编码，并将数据传输至介质。

接收：可实现自适应均衡、DC 恢复、MLT-3 到 NRZI 转换、数据与时钟恢复、NRZI 到 NRZ 转换、解扰、4B/5B 解码以及串并转换，其处理的数据通过 RGMII 接口以 4bit 半字节的形式传输，时钟速率为 25MHz。

7.1.3 10Mbps 模式

发送：来自 MAC 的 4bit 半字节传输字节（TXD [3:0]）以 2.5MHz 时钟频率进行串行化处理，生成 10Mbps 的串行数据。该 10Mbps 串行数据经 DAC 转换为曼彻斯特编码数据流后，传输至介质。

接收：接收到的差分信号被转为曼彻斯特码流，解码后串行转并行，以 4bit 半字节输出到 RGMII。

7.2 节能以太网（EEE）

支持 IEEE 802.3az-2010 标准即 EEE，可根据链路利用率自动进入 / 退出低功耗空闲（LPI）模式，当无数据包需要传输时，系统会进入低功耗空闲模式以节省电力。一旦需要传输数据包，系统便会立即切换回正常工作模式，且不会改变链路状态，也不会导致数据帧丢失或损坏。

7.3 网络唤醒（WOL）

支持检测魔术包和唤醒帧，并通过 PME_n 引脚发送通知。

魔术包唤醒条件：

- 目的地址合法（广播 / 组播 / 单播）
- 无 CRC 错误
- 魔法包格式匹配——在有效以太网数据包的任意部分中，包含 6 字节 0xFF + 任意长度的无关数据，也可以为 0 + 16 次重复的目的 ID

唤醒帧条件：

- 唤醒帧的目的地址合法（广播 / 组播 / 单播）
- 无 CRC 错误

注：INT_n 与 PME_n 共用 31 脚，可通过地址 Page 0x00、Reg 28.bit[4] 配置。

7.4 中断

PHY 状态变化时输出低有效中断 INT_n。所有中断状态均通过只读通用中断状态寄存器（page 0 reg 0x13）进行表示。MAC 模块检测到状态变化后，会通过 MDC/MDIO 接口访问相应寄存器；当这些状态寄存器数据被 MAC 读取完毕后，INT_n 引脚的电平即被

置为低电平。此中断功能消除了通过 MDC/ MDIO 管理接口进行持续轮询的必要性。

Note 1: 中断机制采用电平触发方式。

Note 2: INT_n 与 PME_n 功能共享同一引脚 (pin31), 可通过 Page 0x00, Reg. 28, bit[4]确定。

7.5 INT_n/PME_n 引脚使用

芯片的 INT_n/PME_n 引脚 (pin 31) 用于在中断和 WOL 事件发生时发出通知。该引脚的默认模式为 INT_n (Page 0x00, Reg. 28, bit[4] = 0)。在常规应用中, WOL 事件被集成到其中一个中断事件中 (Page 0, Reg 18, bit[7]), 该中断事件会在任何指定的 WOL 事件发生时触发。

Page 0x00, Reg. 28, bit[4] = 1 时, pin 31 将转变为功能完备的 PME_n 引脚。

7.6 硬件配置

I/O 电压、接口模式和 PHY 地址可通过配置引脚进行配置。设置配置引脚时, 需使用外部上拉或下拉电阻。

Table 7-1. 配置引脚 vs. 配置寄存器

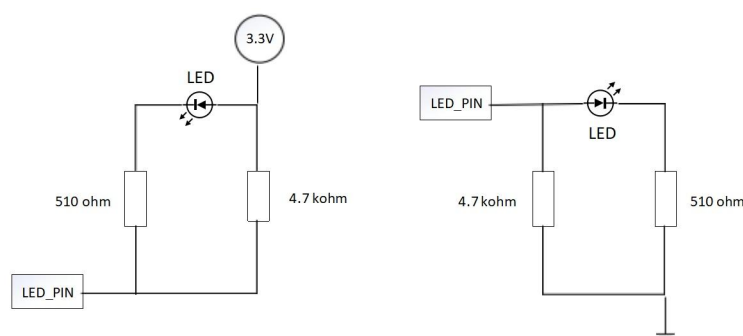
引脚	名称	配置	
22	RXD3	PHYAD[0]	PHY 地址。 PHYAD 功能用于设置设备的 PHY 地址。 支持 0X00~0X07 范围内的 PHY 地址。地址 0x00 为广播地址, 所有 PHY 设备均需响应。该功能可通过将 page 0 Reg24.13 设置为 0 来禁用。 <i>注 1: 采用 PHYAD [2:0]=000 可自动记住首个非零 PHY 地址。该功能可通过设置 Reg24.6=1 来启用</i>
27	RXC	PHYAD[1]	
26	RXCTL	PHYAD[2]	
24	RXD1	TXDLY	RGMII 发送时钟延时控制。 1. 对 TXC 添加 2ns 延迟 0: 无延时
25	RXD0	RXDLY	RGMII 接收时钟延时控制。 1. 对 RXC 添加 2ns 延迟 0: 无延时
32	LED0	LDO_ENB	I / O 外部电源模式配置: 1. 使用外部电源为 I/O 供电; 0: 使用集成 LDO 为 I/O 供电。
33	LED1	V_SEL[0]	I/O 的 LDO 输出电压选择/ I/O 的外部电源电压选择。 当拉低 LDO_ENB 引脚时, V_SEL[1:0]表示 I/O 的 LDO 输出电压设置: 00: 保留; 01: 2.5V; 10: 1.8V。 当拉高 LDO_ENB 引脚时, V_SEL[1:0]表示 I/O 的外部电源电压选择:
34	LED2	V_SEL[1]	

引脚	名称	配置	
			00:3.3V; 01:2.5V; 10:1.8V.

7.7 LED 与 PHY 地址配置

LED 引脚兼作配置引脚，上电复位时 LDO_ENB/V_SEL 输入端采样的逻辑电平决定了 LED 驱动极性（高有效 / 低有效）。

例如，如图 7-1（左侧）所示：若 LDO_ENB/V_SEL 输入端被拉高，则对应 LED 输出将配置为低电平有效模式；右侧则显示，若输入端被拉低，则对应输出将配置为高电平有效模式。硬件配置引脚不得直接连接 GND 或 VCC，需通过电阻（如 4.7KΩ）将其电平拉高或拉低。若无需 LED 指示功能，可移除 LED 信号路径中的相关元件。



LDO[1:0] = 1	LDO[1:0] = 0
EXT = 1	EXT = 0
LED Active Low	LED Active High

Figure 7-1. LED and PHY 地址配置

7.8 MAC/PHY 接口

7.8.1 RGMII

精简千兆媒体独立接口，专用于千兆以太网。

在 100M/10M 应用场景中，TXC 和 RXC 信号源频率分别为 25MHz 和 2.5MHz；而在 1000Base-T 模式下，TXC 和 RXC 信号源频率均为 125MHz。TXC 信号始终由 MAC 层生成，RXC 信号始终由 PHY 层生成。TXD [3:0] 和 RXD [3:0] 用于时钟信号上升沿和下降沿的数据跳变传输。

7.8.2 管理接口

管理接口通过 MDC 和 MDIO 引脚提供对内部寄存器的访问。由 MAC 提供的 MDC 信号是 MDIO 信号的管理数据时钟参考信号。MDIO 是管理数据输入/输出端口，是一个与 MDC 同步运行的双向信号。MDIO 引脚需连接一个 1.5 k Ω 的上拉电阻，以在空闲状态和操作周期内保持 MDIO 信号处于高电平。管理接口的读写指令帧结构详见表 7-2 和表 7-3：

Table 7-2. 管理帧格式

Management Frame Fields								
	Preamble	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
Read	1...1	01	10	AAAAA	RRRRR	Z0	DDDDDDDDDDDDDDDD	Z
Write	1...1	01	01	AAAAA	RRRRR	10	DDDDDDDDDDDDDDDD	Z

Table 7-3. 管理帧描述

名称	功能描述
Preamble	MAC 在 MDIO 上发送 32 个连续的逻辑 1 的信号，同时在 MDC 上发送 32 个对应的周期信号。实现了物理层（PHY）的同步
ST	帧起始 值 01 表示指令的起始
OP	操作码： 读取：10；写入：01
PHYAD	PHY 地址。 5 位 PHY 地址按照高位（MSB）优先发送。该芯片允许在 5 位 PHY 地址中用其中 3 位字段做分配，供 MDIO 总线挂载多片 PHY 芯片通信寻址使用。
REGAD	寄存器地址。 采用 5 位寄存器地址，高位（MSB）优先发送。该字段用于指定此次操作对应访问 PHY 内部 32 个寄存器中的哪一个。
TA	转换周期： 在寄存器地址字段和数据字段之间，会插入一段空闲比特周期。为避免读操作时总线信号冲突，转换间隔的第一个比特周期，任何设备都不允许主动驱动 MDIO 信号。该芯片的收发器会在转换间隔第二个比特周期把 MDIO 引脚拉低为逻辑 0 电平。当执行写入操作时，必须在这两个比特周期内向该芯片发送逻辑 10 电平信号。
DATA	数据。16 位数据。
IDLE	空闲状态。 MDIO 空闲无通信时，引脚高阻不驱动，靠板上上拉电阻把总线保持在高电平 1

读写操作的时间序列如图 7-2 和图 7-3 所示。

Pre	Start	Read OP	PHY Address	Reg Addr	Turn Around	Reg Data	Idle
Bit	2	2	5	5	2	16	Z

Figure 7-2. MDC/MDIO 读时序

Pre	Start	Write OP	PHY Address	Reg Addr	Turn Around	Reg Data	Idle
Bit	2	2	5	5	2	16	Z

Figure 7-3. MDC/MDIO 写时序

7.8.3 页面切换

以下是实现目标页 0xXYZ（十六进制）所需的 MDIO 指令集：

1. 将寄存器 31 的数据写入 0x0XYZ（切换至 XYZ 页）；
2. 读取/写入目标寄存器数据；
3. 将寄存器 31 的数据写入 0x0000（切换至 0 页）。

7.8.4 MMD 寄存器访问

该芯片支持 MMD 寄存器，从而扩展了对更多设备寄存器的访问能力。对 MMD 空间中寄存器的访问通过寄存器 13 和 14 实现。

先配置 寄存器 13 为地址模式，在寄存器 14 填入目标寄存器地址；再改寄存器 13 为数据模式（不自增），在寄存器 14 填入要写入的实际数据，完成对 MMD 内部寄存器的写操作。

1) 向 MMD 的寄存器写数据：

a) 将 Function 配置字段设置为 00（地址模式），DEVAD 字段填入目标 MMD 寄存器对应的设备地址值（寄存器 13）。

b) 将目标地址值写入 MMD 寄存器（寄存器 14）。

c) 将 Function 配置字段设置为 01（数据模式；地址不自增），DEVAD 字段填入和目标 MMD 寄存器相同的设备地址（操作寄存器 13）

d) 将要写入的数据内容写入 MMD 寄存器中已选中的目标寄存器（操作寄存器 14）。

2) 从 MMD 寄存器读取数据：

a) 将 Function 配置字段设为 00（地址模式），DEVAD 字段填入目标 MMD 寄存器对应的设备地址值（寄存器 13）

b) 把要读取的目标寄存器地址写入（寄存器 14）。

c) 将 Function 配置字段设为 01（数据模式；地址不自增），DEVAD 字段设置为和目标 MMD 寄存器对应的同一设备地址（操作寄存器 13）。

d) 直接读取寄存器 14 的值，就是目标 MMD 寄存器里的内容。

7.9 自动协商

支持 IEEE 802.3 Clause 28/40/az 自动协商功能。双工、流控、主从、交叉模式。

触发条件：上电、硬件复位、软件复位、重启协商、退出掉电、链路断开。

- 自协商速率/双工模式/流控
- 自协商优先级分配
- 自协商主从模式确定
- 自协商 PAUSE 帧/非对称 PAUSE 帧机制
- 交叉检测与自动校正功能。

自协商触发条件：

- 上电启动
- 硬件复位
- 软件复位（寄存器 0.15）
- 重启自协商（寄存器 0.9）
- 从断电状态切换至上电状态（寄存器 0.11）
- 电口链路断开（例如进入链路故障状态）。

7.10 交叉检测与自动校正

交叉检测与自动校正功能可实现设备间交叉电缆的适应性配置，例如两台计算机通过 CAT. 5E 以太网电缆连接时，其原理是：默认初始设置为 MDI 模式，随后检查链路状态；若经过特定时间仍未建立链路，则切换至 MDIX 模式并重复该流程直至链路建立。系统采用 11-bit 伪随机定时器来确定模式切换的时间间隔。

7.11 LED 配置

支持 3 个 LED 引脚，可通过 page 0xD04 寄存器 16 自定义。LED 的默认功能如下表 7-4 所示。

Table 7-4. 管理帧描述

引脚	功能描述
LED0	10M Link and Active （发送/接收）
LED1	100M Link and Active （发送/接收）
LED2	1000M Link and Active （发送/接收）

LED 引脚可通过 page 0xD04 寄存器 16 进行自定义。寄存器表详见表 7-5，配置类型详见表 7-6。

Table 7-5. LED 寄存器表

	LINK Speed			Active (Tx/Rx)
	10Mbps	100Mbps	1000Mbps	
LED0	Reg16 Bit0	Reg16 Bit1	Reg16 Bit3	Reg16 Bit4
LED1	Reg16 Bit5	Reg16 Bit6	Reg16 Bit8	Reg16 Bit9
LED2	Reg16 Bit10	Reg16 Bit11	Reg16 Bit13	Reg16 Bit14

Table 7-6.

LED 配置表

引脚	LINK Bit			Active (TX/RX) Bit	功能描述
	10Mbps	100 Mbps	1000 Mbps		
LED	0	0	0	0	N/A
	0	0	0	1	N/A
	0	0	1	0	Link 1000
	0	0	1	1	Link 1000+Active
	0	1	0	0	Link 100
	0	1	0	1	Link 100+Active
	0	1	1	0	Link 100/1000
	0	1	1	1	Link 100/1000+Active
	1	0	0	0	Link 10
	1	0	0	1	Link 10+Active
	1	0	1	0	Link 10/1000
	1	0	1	1	Link 10/1000+Active
	1	1	0	0	Link 10/100
	1	1	0	1	Link 10/100+Active
	1	1	1	0	Link 10/100/1000
	1	1	1	1	Link 10/100/1000+Active

7.12 极性校正

该芯片可在 1000Base-T 和 10Base-T 模式下，对接收差分线对的极性错误进行自动校正；在 100Base-TX 模式中，差分对极性无影响。

在 1000Base-T 模式下，接收极性错误依据空闲符号序列自动校正。解扰器完成同步锁定后，所有差分线对的极性同步锁定；仅当接收端丢失同步锁相时，极性锁定状态才会解除。

在 10Base-T 模式下，极性校正依靠检测时序间隔合规的链路脉冲实现。极性检测流程在 MDI 交叉线对识别阶段启动，10Base-T 链路建立后极性完成锁定；链路断开时，极性锁定状态解除。

7.13 电源

该芯片内置电压调节器用于产生工作电源，采用开关降压电源，系统需提供 3.3V、1A 稳定供电输入；该芯片集成一路 LDO，专供 RGMII 接口 IO 域供电。RGMII 接口标准 IO 电压为 3.3V，同时兼容 2.5V/1.8V 低压选型以降低电磁干扰（EMI）；RGMII 所需 2.5V/1.8V 电源既可由芯片内部 LDO 输出，也可接入外部独立电源供给。

7.14 PHY 复位（硬件复位）

该芯片设有复位引脚 RST_n，用于芯片硬件复位。该引脚拉低有效，拉低时所有寄存器恢复出厂默认值。若需完成完整复位操作，引脚拉低时长至少保持 10ms；复位释放后，需等待不少于 50 ms，才可对 PHY 寄存器进行读写访问。

7.15 环回

支持两种回环路径：PCS 回环与外部回环。

7.15.1 PCS 环回

当页面 0x0 寄存器 0x0 位[14]设置为 1 时，通过 RGMII 发送端口传输的数据将经 PCS 发送路径传输，并通过 PCS 接收路径返回至 RGMII 接收端口。

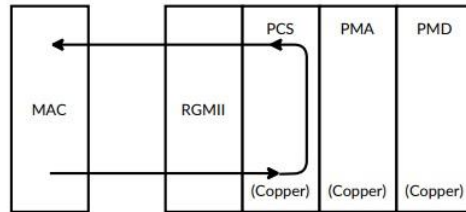


Figure 7-4. PCS 回环

7.15.2 外部环回

通过外部短接 RJ45:1/2 ↔ 3/6、4/5 ↔ 7/8，完成全通路环回测试。

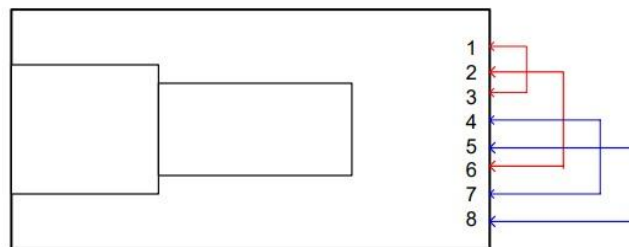


Figure 7-5. 外部环回

8 寄存器描述

8.1 寄存器访问类型

Table 8-1. 寄存器访问类型

类型	功能描述
LH	Latch high. 锁存高电平
RC	Read-cleared. 读清零：读取该位后硬件自动清零
RO	Read only. 只读
RW	Read and Write. 可读可写
SC	Self-cleared. Writing a '1' to this register field causes the function to be activated immediately, and then the field will be automatically cleared to '0'. 自清零：向该寄存器位写入 1 时，对应功能立即触发执行，随后该位硬件自动清 0。

Table 8-2. 寄存器映射与定义

页号	偏移地址	访问属性	寄存器名称	功能描述
0	0	RW	BMCR	基础模式控制寄存器
0	1	RO	BMSR	基础模式状态寄存器
0	2	RO	PHYID1	PHY 标识寄存器 1
0	3	RO	PHYID2	PHY 标识寄存器 2
0	4	RW	ANAR	自动协商通告寄存器
0	5	RO	ANLPAR	自动协商对端能力寄存器
0	6	RO	ANER	自动协商扩展寄存器
0	7	RW	ANNPTR	自动协商下一页发送寄存器
0	8	RO	ANNPRR	自动协商下一页接收寄存器
0	9	RW	GBCR	1000BASE-T 控制寄存器
0	10	RO	GBSR	1000BASE-T 状态寄存器
0	11~12	RO	RSVD	保留位
0	13	WO	MACR	MMD 访问控制寄存器
0	14	RW	MAADR	MMD 地址数据访问寄存器
0	15	RO	GBESR	1000BASE-T 扩展状态寄存器
0	16~17	RO	RSVD	保留位
0	18	RW	INNER	中断使能寄存器
0	19	RO	INSR	中断状态寄存器
0	20~23	RO	RSVD	保留位
0	24	RW	PHYCR1	PHY 私有控制寄存器 1
0	25	RW	PHYCR2	PHY 私有控制寄存器 2
0	26	RO	PHYSR	PHY 私有状态寄存器
0	27	RO	RSVD	保留位
0	28	RW	PHYCR3	PHY 私有控制寄存器 3
0	29~30	RO	RSVD	保留位
0	31	RW	PAGSR	页面选择寄存器

8.2 MMD 注册表映射与定义

Table 8-3. MMD 注册表映射与定义

设备号	偏移地址	访问属性	寄存器名称	功能描述
3	0	RW	PC1R	PCS Control 1 Register
3	1	RW	PS1R	PCS Status 1 Register
3	20	RO	EEECR	EEE Capability Register
3	22	RC	EEEWER	EEE Wake Error Register
7	60	RW	EEEAR	EEE Advertisement Register
7	61	RO	EEELPAR	EEE Link Partner Ability Register

8.3 LED 寄存器映射与定义

Table 8-4. LED 寄存器映射与定义

页号	偏移地址	访问属性	寄存器名称	功能描述
d04	16	RW	LCR	LED Control Register

8.4. 寄存器列表

8.4.1. BMCR （基本模式控制寄存器，Address 0x00）

Table 8-5. BMCR （基本模式控制寄存器， Address 0x00）

Bit	名称	访问类型	默认值	功能描述
15	Reset	RW, SC	0	Reset. 1. PHY reset 0: Normal operation This bit is SC type, after a software reset this bit will restore to 0 Register 0 (BMCR) will restore to default value after a software reset (set Bit 0.15 to 1). This action may change the internal PHY state and the state of the physical link associated with the PHY.
14	Loopback	RW	0	Loopback Mode. 1. Enable PCS loopback mode 0: Disable PCS loopback mode
13	Speed[0]	RW	0	Speed Select Bit 0. In forced mode, when Auto-Negotiation is disabled, page 0 reg 0 bit 6 and page 0 reg 0 bit 13 determine the selection of device speed. Speed[1] Speed[0]: 11. Reserved 10:1000Mbps 01:100Mbps 00:10Mbps
12	AN Enable	RW	1	Auto-Negotiation Enable. 1. Enable Auto-Negotiation 0: Disable Auto-Negotiation
11	Power Down	RW	0	Power Down. 1. Power down (only Management Interface and logic are active; link is down.) 0: Normal operation
10	Isolate	RW	0	Isolate. 1. RGMII interface is isolated; the serial management interface (MDC, MDIO) is still active. When this bit is asserted, the PG100D(I) ignores TXD[3:0] and TXCTL inputs, presents a high impedance on RXC, RXCTL, RXD[3:0]. 0: Normal operation

9	Restart AN	RW, SC	0	Restart Auto-Negotiation. 1. Restart Auto-Negotiation 0: Normal operation This bit is SC type, after a software reset this bit will restore to 0
8	Duplex Mode	RW	1	Duplex Mode. 1. Full Duplex operation 0: Half Duplex operation This bit is valid only in force mode.
7	Collision Test	RW	0	Collision Test. 1. Enable the collision test mode 0: Disable the collision test mode
6	Speed[1]	RW	1	Speed Select Bit 1. Work in conjunction with page 0 reg 0 bit 13.
5:0	RSVD	RO	000000	Reserved

8.4.2 BMSR （基本模式状态寄存器，Address 0x01）

Table 8-6. BMSR （基本模式控制寄存器， Address 0x01）

Bit	名称	访问类型	默认值	功能描述
15	100Base-T4	RO	0	100Base-T4 Capability. The PG100D(I) does not support 100Base-T4mode. This bit should always be 0.
14	100Base-TX (full)	RO	1	100Base-TX Full Duplex Capability 1. PHY is able to perform 100Base-TX in full duplex mode 0: PHY is not able to perform 100Base-TX in full duplex mode
13	100Base-TX (half)	RO	1	100Base-TX Half Duplex Capability. 1. PHY is able to perform 100Base-TX in half duplex mode 0: PHY is not able to perform 100Base-TX in half duplex mode
12	10Base-T (full)	RO	1	10Base-T Full Duplex Capability. 1. PHY is able to perform 10Base-T in full duplex mode. 0: PHY is not able to perform 10Base-T in full duplex mode.
11	10Base-T (half)	RO	1	10Base-T Half Duplex Capability. 1. PHY is able to perform 10Base-T in half duplex mode 0: PHY is not able to perform 10Base-T in half duplex mode
10	10Base-T2 (full)	RO	0	10Base-T2 Full Duplex Capability. The PG100D(I) does not support 10Base-T2 mode and this bit should always be 0.
9	10Base-T2 (half)	RO	0	10Base-T2 Half Duplex Capability. The PG100D(I) does not support 10Base-T2 mode. This bit should always be 0.

8	1000Base-T Extended Status	R0	1	1000Base-T Extended Status Register. 1: Device supports Extended Status Register 0x0F (15) 0: Device does not support Extended Status Register 0x0F This register is read-only and is always set to 1.
7	RSVD	R0	0	Reserved
6	Preamble Suppression	R0	1	Preamble Suppression Capability (Permanently On). The PG100D(I) always accepts transactions with preamble suppressed.
5	Auto-Negotiation Complete	R0	0	Auto-Negotiation Complete. 1: Auto-Negotiation process complete, and contents of registers 5, 6, 8, and 10 are valid 0: Auto-Negotiation process not complete
4	Remote Fault	RC, LH	0	Remote Fault. 1: Remote fault condition detected (cleared on read or by reset). 0: No remote fault condition detected
3	Auto-Negotiation Ability	R0	1	Auto Configured Link. 1: PHY is able to perform Auto-Negotiation 0: PHY is not able to perform Auto-Negotiation
2	Link Status	R0	0	Link Status. 1: Linked 0: Not Linked This register indicates whether the link was lost since the last read. For the current link status, either read this register twice or read register bit 17.10 Link Real Time.
1	Jabber Detect	RC, LH	0	Jabber Detect. 1: Jabber condition detected 0: No Jabber occurred
0	Extended Capability	R0	1	1: Extended register capabilities, always 1

8.4.3. PHYID1 (PHY 标识寄存器 1, Address 0x02)

Table 8-7. PHYID1 (PHY 标识寄存器 1, Address 0x02)

Bit	名称	访问类型	默认值	功能描述
15:0	OUI_MSB	R0	01 1000 0010 0000 00	Organizationally Unique Identifier Bit 3:18. Always 01 1000 0010 0000 00

8.4.4. PHYID2 (PHY 标识寄存器 2, Address 0x03)

Table 8-8. PHYID2 (PHY 标识寄存器 2, Address 0x03)

Bit	名称	访问类型	默认值	功能描述
15:10	OUI_LSB	RO	101101	Organizationally Unique Identifier Bit 19:24. Always 101101.
9:4	Model Number	RO	000001	Manufacture' s Model Number
3:0	Revision Number	RO	0001	Revision Number

8.4.5. ANAR (自动协商通告寄存器, Address 0x04)

Table 8-9. ANAR (自动协商通告寄存器, Address 0x04)

Bit	名称	访问类型	默认值	功能描述
15	NextPage	RW	0	1. Additional next pages exchange desired 0: No additional next pages exchange desired
14	RSVD	RO	0	Reserved.
13	Remote Fault	RW	0	1. Set Remote Fault bit 0: No remote fault detected
12	RSVD	RO	0	Reserved.
11	Asymmetric PAUSE	RW	0	1. Advertise support of asymmetric pause 0: No support of asymmetric pause
10	PAUSE	RW	1	1. Advertise support of pause frames 0: No support of pause frames
9	100Base-T4	RO	0	1. 100Base-T4 support 0: 100Base-T4 not supported
8	100Base-TX (Full)	RW	1	1. support of 100Base-TX full-duplex mode 0: Not advertised
7	100Base-TX (Half)	RW	1	1. Advertise support of 100Base-TX half-duplex mode 0: Not advertised
6	10Base-T (Full)	RW	1	1. Advertise support of 10Base-TX full-duplex mode 0: Not advertised
5	10Base-T (Half)	RW	1	1. Advertise support of 10Base-TX half-duplex mode 0: Not advertised
4:0	Selector Field	RO	00001	Indicates the PG100D(I) supports IEEE 802.3

Note 1: 仅当重新启动自动协商或链路断开时, 寄存器 4 的配置才会生效。触发条件包括: 软件复位 (0 页 0 寄存器第 15 位置 1)、重启自动协商 (0 页 0 寄存器第 9 位置 1), 或是掉电模式 (0 页 0 寄存器第 11 位) 从掉电状态切换至正常工作状态。

Note 2: 若通告能力包含 1000Base-T, 芯片会自动发送所需的协商下一页报文; 若无额外下一页传输需求, 需将 0 页 4 寄存器第 15 位配置为 0。

8.4.6. ANLPAR (自动协商对端能力寄存器, Address 0x05)

Table 8-10. ANLPAR (自动协商对端能力寄存器, Address 0x05)

Bit	名称	访问类型	默认值	功能描述
15	Next Page	RO	0	Next Page Indication. 1. Link partner has Next Page ability. 0: Link partner does not have Next Page ability.
14	ACK	RO	0	Acknowledge. 1. Link partner has received link codeword. 0: Link partner has not received link codeword.
13	Remote Fault	RO	0	Remote Fault indicated by Link Partner. 1. Link partner has detected remote fault. 0: Link partner has not detected remote fault.
12	RSVD	RO	0	Reserved
11:5	Technology Ability Field	RO	0000000	Received Code Word Bit 11:5.
4:0	Selector Field	RO	00000	Received Code Word Bit 4:0.

Note: 需等待 bit page 0 reg 1 bit5 (自动协商完成标志位) 置位, 表示协商流程结束后, 寄存器 5 的数据才有效。

8.4.7. ANER (自动协商扩展寄存器, Address 0x06)

Table 8-11. ANER (自动协商扩展寄存器, Address 0x06)

Bit	名称	访问类型	默认值	功能描述
15:5	RSVD	RO	0x000	Reserved.
4	Parallel Detection Fault	RC, LH	0	1. A fault has been detected via the Parallel Detection function 0: A fault has not been detected via the Parallel Detection function
3	Link Partner Next Page Able	RO	0	1. Link Partner supports Next Page exchange 0: Link Partner does not support Next Page exchange
2	Local Next Page Able	RO	1	1. Local Device is able to send Next Page This bit should always be 1.
1	Page Received	RC, LH	0	1. A New Page (new LCW) has been received 0: A New Page has not been received
0	Link Partner Auto-Negotiation capable	RO	0	1. Link Partner supports Auto-Negotiation 0: Link Partner does not support Auto-Negotiation

Note: 只有当 bit page 0 reg 1 bit5 (自动协商完成标志位) 指示协商完成后, 寄存器 6 内的数据才有效。

8.4.8. ANNPTR (自动协商下一页发送寄存器, Address 0x07)

Table 8-12. ANNPTR (自动协商下一页发送寄存器, Address 0x07)

Bit	名称	访问类型	默认值	功能描述
15	Next Page	RW	0	Next Page Indication. 1. More next pages to send 0: No more next pages to send Transmit Code Word Bit 15.
14	RSVD	RO	0	Reserved
13	Message Page	RW	1	Message Page 1. Message Page 0: Unformatted Page Transmit Code Word Bit 13.
12	Acknowledge ₂	RW	0	Acknowledge 2 1. Comply with the message received. 0: Cannot comply with the message received. Transmit Code Word Bit 12.
11	Toggle	RO	0	Toggle Bit Transmit Code Word Bit 11.
10:0	Message/ Unformatted Field	RW	0x001	Content of Message/Unformatted Page Transmit Code Word Bit 10:0.

8.4.9 ANNPRR（自动协商下一页接收寄存器， Address 0x08）

Table 8-13 ANNPRR（自动协商下一页接收寄存器， Address 0x08）

Bit	名称	访问类型	默认值	功能描述
15	Next Page	RO	0	1. Additional next pages follow 0: Sending last next page Received Link Code Word Bit 15.
14	Acknowledge	RO	0	1. Acknowledge 0: No acknowledge Received Link Code Word Bit 14.
13	Message Page	RO	0	1. Formatted page 0: Unformatted page Received Link Code Word Bit 13.
12	Acknowledge ₂	RO	0	1. Comply with message 0: Cannot comply with message Received Link Code Word Bit 12.
11	Toggle	RO	0	Toggle Bit. Received Link Code Word Bit 11.
10:0	Message/ Unformatted Field	RO	0x00	Content of Message/Unformatted Page. Received Link Code Word Bit 10:0.

Note: 仅当 bit page 0 reg 1 bit5（自动协商完成标志位）显示协商完成后，寄存器 8 的数据才有效。

8.4.10 GBCR（1000BASE-T 控制寄存器， Address 0x09）

Table 8-14 GBCR（1000BASE-T 控制寄存器， Address 0x09）

Bit	名称	访问类型	默认值	功能描述
-----	----	------	-----	------

15:13	Test Mode	RW	000	Test Mode Select. 000: Normal Mode 001: Test Mode 1 - Transmit Waveform Test 010: Test Mode 2 - Transmit Jitter Test (MASTER mode) 011: Test Mode 3 - Transmit Jitter Test (SLAVE mode) 100: Test Mode 4 - Transmit Distortion Test 101, 110, 111: Reserved
12	MASTER/SLAVE Manual Configuration Enable	RW	0	Enable Manual Master/Slave Configuration. 1. Manual MASTER/SLAVE configuration 0: Automatic MASTER/SLAVE configuration
11	MASTER/SLAVE Configuration Value	RW	0	Advertise Master/Slave Configuration Value. 1. Manual configure as MASTER 0: Manual configure as SLAVE
10	Port Type	RW	0	Advertise Device Type Preference. 1. Prefer multi-port device (MASTER) 0: Prefer single port device (SLAVE)
9	1000BASE-T Full Duplex	RW	1	1. Advertise 1000BASE-T full-duplex capability 0: Advertise no 1000BASE-T full-duplex capability
8	RSVD	RO	0	Reserved
7:0	RSVD	RO	0x00	Reserved

Note 1: 寄存器 page 0 reg 9 bit 12:9 的配置值不会立即生效，需重启自动协商 (page 0 reg 0 bit 9) 或链路断开后才会生效。

Note 2: 若 bit page 0 reg 9 bit12=0，则 Bit page 0 reg 9 bit 11 和 page 0 reg 9 bit10 配置将被忽略。

8.4.11 GBSR (1000BASE-T 状态寄存器, Address 0x0A)

Table 8-15 GBSR (1000BASE-T 状态寄存器, Address 0x0A)

Bit	名称	访问类型	默认值	功能描述
15	MASTER/SLAVE Configuration Fault	RO, RC, LH	0	Master/Slave Manual Configuration Fault Detected. 1. MASTER/SLAVE configuration fault detected 0: No MASTER/SLAVE configuration fault detected
14	MASTER/SLAVE Configuration Resolution	RO	0	Master/Slave Configuration Result. 1. Local transmitter is MASTER 0: Local transmitter is SLAVE
13	Local Receiver Status	RO	0	Local Receiver Status. 1. Local receiver OK 0: Local receiver not OK
12	Remote Receiver Status	RO	0	Remote Receiver Status. 1. Remote receiver OK 0: Remote receiver not OK
11	Link Partner 1000BASE-T Full Duplex Capability	RO	0	Link Partner 1000BASE-T Full Duplex Capability. 1. Link partner is capable of 1000BASE-T full duplex 0: Link partner is not capable of 1000BASE-T full duplex

10	Link Partner 1000BASE-T Half Duplex Capability	RO	0	Link Partner 1000BASE-T Half Duplex Capability. 1. Link partner is capable of 1000BASE-T half duplex 0: Link Partner is not capable of 1000BASE-T half duplex
9:8	RSVD	RO	00	Reserved
7:0	Idle Error Count	RO	0x00	Idle Error Counter. The counter stops automatically when it reaches 0xff.

8.4.12 MACR (MMD 访问控制寄存器, Address 0x0D)

Table 8-16 MACR (MMD 访问控制寄存器, Address 0x0D)

Bit	名称	访问类型	默认值	功能描述
15:14	Function	WO	00	00: Address 01: Data with no post increment 10. Data with post increment on reads and writes 11. Data with post increment on writes only
13:5	RSVD	RO	0x000	Reserved
4:0	DEVAD	WO	0x00	Device Address.

8.4.13 MAADR (MMD 地址数据访问寄存器, Address 0x0E)

Table 8-17 MAADR (MMD 地址数据访问寄存器, Address 0x0E)

Bit	名称	访问类型	默认值	功能描述
15:0	Address Data	RW	0x0000	13.15:14 = 00 MMD DEVAD' s address register 13.15:14 = 01, 10, or 11 MMD DEVAD' s data register as indicated by the contents of its address register

8.4.14 GBESR (1000BASE-T 扩展状态寄存器, Address 0x0F)

Table 8-18 GBESR (1000BASE-T 扩展状态寄存器, Address 0x0F)

Bit	名称	访问类型	默认值	功能描述
15	1000BASE-X FD	RO	0	1. 1000BASE-X full duplex capable 0: Not 1000BASE-X full duplex capable
14	1000BASE-X HD	RO	0	1. Not 1000BASE-X half duplex capable 0: Not 1000BASE-X half duplex capable
13	1000BASE-T FD	RO	1	1. 1000BASE-T full duplex capable 0: 1000BASE-T full duplex capable
12	1000BASE-T HD	RO	1	1. Not 1000BASE-T half duplex capable 0: Not 1000BASE-T half duplex capable
11:0	RSVD	RO	0x000	Reserved

8.4.15 INER (中断使能寄存器, Address 0x12)

Table 8-19 INER (中断使能寄存器, Address 0x12)

Bit	名称	访问类型	默认值	功能描述
15:14	RSVD	RW	00	Reserved
13	Speed Change Interrupt	RW	0	1. Interrupt Enable 0: Interrupt Disable Setting this bit to 0 only masks a speed change interrupt event in the Pin INT_n
12	False Carrier Interrupt	RW	0	1. Interrupt Enable 0: Interrupt Disable Setting this bit to 0 only masks a false carrier interrupt event the Pin INT_n
11	Symbol Error Interrupt	RW	0	1. Interrupt Enable 0: Interrupt Disable Setting this bit to 0 only masks a symbol error interrupt event in the Pin INT_n
10	Jabber Interrupt	RW	0	1. Interrupt Enable 0: Interrupt Disable Setting this bit to 0 only disables the jabber interrupt event in the Pin INT_n
9:8	RSVD	RW	0	Reserved
7	PME Interrupt	RW	0	1. Interrupt Enable 0: Interrupt Disable Setting this bit to 0 only disables the PME interrupt event in the Pin INT_n
6:5	RSVD	RW	0	Reserved
4	Link Status Change Interrupt	RW	0	1. Interrupt Enable 0: Interrupt Disable Setting this bit to 0 only disables the link status change interrupt event in the Pin INT_n
3	Auto-Negotiation Completed Interrupt	RW	0	1. Interrupt Enable 0: Interrupt Disable Setting this bit to 0 only disables the auto-negotiation completed interrupt event in the Pin INT_n
2	Page Received Interrupt	RW	0	1. Interrupt Enable 0: Interrupt Disable Setting this bit to 0 only disables the page received interrupt event in the Pin INT_n
1	RSVD	RW	0	Reserved
0	Auto Negotiation Error Interrupt	RW	0	1. Interrupt Enable 0: Interrupt Disable Setting this bit to 0 only disables the auto negotiation error interrupt event in the Pin INT_n

8.4.16 INSR (中断状态寄存器, Address 0x13)

Table 8-20 INSR (中断状态寄存器, Address 0x13)

Bit	名称	访问类型	默认值	功能描述
15:14	RSVD	RO	0000	Reserved
13	Speed Change	RO, RC	0	1 : Speed Change detected 0 : No Speed Change detected
12	False Carrier	RO, RC	0	1 : False Carrier detected 0 : No False Carrier detected
11	Symbol Error	RO, RC	0	1 : Symbol Error detected 0 : No Symbol Error detected
10	Jabber	RO, RC	0	1. Jabber detected 0: No jabber detected
9:8	RSVD	RO	0	Reserved
7	PME	RO, RC	0	1. WOL event occurred 0: WOL event did not occur
6:5	RSVD	RO	0	Reserved
4	Link Status Change	RO, RC	0	1. Link status changed 0: Link status not changed
3	Auto-Negotiation Completed	RO, RC	0	1. Auto-Negotiation is completed 0: Auto-Negotiation is not completed
2	Page Received	RO, RC	0	1. Page received 0: Page not received
1	RSVD	RO	0	Reserved
0	Auto-Negotiation Error	RO, RC	0	1. Auto-Negotiation Error 0: No Auto-Negotiation Error

8.4.17 PHYCR1 (PHY 私有控制寄存器 1, Address 0x18)

Table 8-21 PHYCR1 (PHY 私有控制寄存器 1, Address 0x18)

Bit	名称	访问类型	默认值	功能描述
15:14	RSVD	RO	00	Reserved
13	PHYAD_0 Enable	RW	1	1. A broadcast from MAC (A command with PHY address = 0) is valid. MDC/MDIO will respond to this command.
12:10	RSVD	RO	0	Reserved
9	MDI Mode Manual	RW	0	1. Enable Manual Configuration of MDI mode 0: Disable Manual Configuration of MDI mode
8	MDI Mode	RW	1	Set the MDI/MDIX mode. 1: MDI 0: MDIX This bit will take effect only when page 0 reg 24 bit 9 = 1.
7	TX CRS Enable	RW	0	1. Assert CRS on transmit 0: Never assert CRS on transmit

6	PHYAD Non-zero Detect	RW	0	1. ThePG100D(I) with PHYAD[2:0] = 000 will latch the first non-zero PHY address as its own PHY address
5	RSVD	RO	0	Reserved
4	Preamble Check Enable	RW	1	1. Check preamble when receiving an MDC/MDIO command 0: Do not check preamble
3	Jabber Detection Enable	RW	1	1. Enable Jabber Detection 0: Disable Jabber Detection
2:0	RSVD	RO	0	Reserved

8.4.18 PHYCR2 (PHY 私有控制寄存器 2, Address 0x19)

Table 8-22 PHYCR2 (PHY 私有控制寄存器 2, Address 0x19)

Bit	名称	访问类型	默认值	功能描述
15:12	RSVD	RO	0000	Reserved
11	CLKOUT Frequency Select	RW	1	Frequency Select of the CLKOUT Pin . 1: 125MHz 0: 25MHz
10:4	RSVD	RO	0000000	Reserved
3	RXC SSC Enable	RW	0	1. Enable Spread-Spectrum Clocking (SSC) on RXC output . 0: Disable Spread-Spectrum Clocking (SSC) on RXC output .
2	RSVD	RO	0	Reserved
1	RXC Enable	RO	0	1. RXC Clock Output Enabled. 0: RXC Clock Output Disabled.
0	CLKOUT Enable	RW	1	1. CLKOUT Clock Output Enabled. 0: CLKOUT Clock Output Disabled.

8.4.19 PHYSR (PHY 私有状态寄存器, Address 0x1A)

Table 8-23 PHYSR (PHY 私有状态寄存器, Address 0x1A)

Bit	名称	访问类型	默认值	功能描述
15:14	RSVD	RO	00	Reserved
13	MDI plug	RO	0	MDI status 1 : Plugged ; 0 : Unplugged
12	Auto-Negotiation Enable	RO	1	Auto Negotiation Status. 1. Enable 0: Disable
11	Master Mode	RO	0	Device is in Master/Slave Mode. 1. Master mode 0: Slave mode
10:6	RSVD	RO	00000	Reserved
5:4	Speed	RO	01	Link Speed. 11. Reserved 10: 1000Mbps 01: 100Mbps

				00: 10Mbps
3	Duplex	RO	0	Full/Half Duplex Mode. 1. Full duplex 0: Half duplex
2	Link (RealTime)	RO	0	Real Time Link Status. 1. Link is OK 0: Link is not OK
1	MDI Crossover Status	RO	0	MDI/MDI Crossover Status. 1: MDI 0: MDI Crossover
0	Jabber (Real Time)	RO	0	Real Time Jabber Indication. 1. Jabber Indication 0: No Jabber Indication

8.4.20 PHYCR3 (PHY 私有控制寄存器 3, Address 0x1C)

Table 8-23 PHYCR3 (PHY 私有控制寄存器 3, Address 0x1C)

Bit	名称	访问类型	默认值	功能描述
15:5	RSVD	RO	0x000	Reserved
4	INT_n/PME_n Select	RW	0	Pin INT_n/PME_n function select: 1: PME_n 0: INT_n
3:0	RSVD	RO	0000	Reserved

8.4.21 GPAGSR (扩展页面选择寄存器, Address 0x1F)

Table 8-24 GPAGSR (扩展页面选择寄存器, Address 0x1F)

Bit	名称	访问类型	默认值	功能描述
15:12	RSVD	RO	0000	Reserved
11:0	Ext_Page_Sel	RW	0x000	Page Select . 0x000: Page 0 (default page)

8.4.22 PC1R (PCS 控制寄存器, MMD Device 3, Address 0x00)

Table 8-25 PC1R (PCS 控制寄存器, MMD Device 3, Address 0x00)

Bit	名称	访问类型	默认值	功能描述
15:11	RSVD	RO	0x00	Reserved
10	Clock Stop Enable	RW	0	1. PHY stops RXC when receiving LPI 0: RXC not stoppable
9:0	RSVD	RO	0x000	Reserved

8.4.23 PS1R (PCS 状态寄存器, MMD Device 3, Address 0x01)

Table 8-26 PS1R (PCS 状态寄存器, MMD Device 3, Address 0x01)

Bit	名称	访问类型	默认值	功能描述
15:12	RSVD	RO	0x0	Reserved
11	TX LPI	RO, LH	0	1. TX PCS has received LPI

	Received			0: LPI not received
10	RX LPI Received	RO, LH	0	1. RX PCS has received LPI 0: LPI not received
9	TX LPI Indication	RO	0	1. TX PCS is currently receiving LPI 0: TX PCS is not currently receiving LPI
8	RX LPI Indication	RO	0	1. RX PCS is currently receiving LPI 0: RX PCS is not currently receiving LPI
7	RSVD	RO	0	Reserved
6	Clock Stop Capable	RO	1	1. MAC stops TXC in LPI 0: TXC is not stoppable
5:0	RSVD	RO	0x00	Reserved

8.4.24 EEECR (EEE 能力寄存器, MMD Device 3, Address 0x14)

Table 8-27 EEECR (EEE 能力寄存器, MMD Device 3, Address 0x14)

Bit	名称	访问类型	默认值	功能描述
15:3	RSVD	RO	0x0000	Reserved
2	1000BASE-T EEE	RO	1	1. EEE is supported for 1000BASE-T 0: EEE is not supported for 1000BASE-T
1	100BASE-TX EEE	RO	1	1. EEE is supported for 100BASE-TX 0: EEE is not supported for 100BASE-TX
0	RSVD	RO	0	Reserved

8.4.25 EEEWER (EEE 唤醒错误寄存器, MMD Device 3, Address 0x16)

Table 8-28 EEEWER (EEE 唤醒错误寄存器, MMD Device 3, Address 0x16)

Bit	名称	访问类型	默认值	功能描述
15:0	EEE Wake Error Counter	RC	0	Count wake time faults where the PHY fails to complete its normal wake sequence within the time required for the specific PHY type.

8.4.26 EEER (EEE 通告寄存器, MMD Device 7, Address 0x3C)

Table 8-29 EEER (EEE 通告寄存器, MMD Device 7, Address 0x3C)

Bit	名称	访问类型	默认值	功能描述
15:3	RSVD	RO	0x0000	Reserved
2	1000BASE-T EEE	RW	1	Advertise 1000BASE-T EEE Capability. 1. Advertise 0: Do not advertise
1	100BASE-TX EEE	RW	1	Advertise 100BASE-TX EEE Capability. 1. Advertise 0: Do not advertise
0	RSVD	RO	0	Reserved

8.4.27 EEELPAR (EEE 对端能力寄存器, MMD Device 7, Address 0x3D)

Table 8-30 EEELPAR (EEE 对端能力寄存器, MMD Device 7, Address 0x3D)

Bit	名称	访问类型	默认值	功能描述
15:3	RSVD	RO	0x0000	Reserved
2	LP 1000BASE-T EEE	RO	0	1. Link Partner is capable of 1000BASE-T EEE 0: Link Partner is not capable of 1000BASE-T EEE
1	LP 100BASE-TX EEE	RO	0	1. Link Partner is capable of 100BASE-TX EEE 0: Link Partner is not capable of 100BASE-TX EEE
0	RSVD	RO	0	Reserved

8.4.28 LCR (LED 控制寄存器, Page 0xD04, Address 0x10)

Table 8-31 LCR (LED 控制寄存器, Page 0xD04, Address 0x10)

Bit	名称	访问类型	默认值	功能描述
15	RSVD	RO	0	Reserved
14	LED2_ACT	RW	1	LED2 Active Indication
13	LED2_LINK_1000	RW	1	1000Mbps LED2 Link Indication
12	RSVD	RO	0	Reserved
11	LED2_LINK_100	RW	0	100Mbps LED2 Link Indication
10	LED2_LINK_10	RW	0	10Mbps LED2 Link Indication
9	LED1_ACT	RW	1	LED1 Active Indication
8	LED1_LINK_1000	RW	0	1000Mbps LED1 Link Indication
7	RSVD	RO	0	Reserved
6	LED1_LINK_100	RW	1	100Mbps LED1 Link Indication
5	LED1_LINK_10	RW	0	10Mbps LED1 Link Indication
4	LED0_ACT	RW	1	LED0 Active Indication
3	LED0_LINK_1000	RW	0	1000Mbps LED0 Link Indication
2	RSVD	RO	0	Reserved
1	LED0_LINK_100	RW	0	100Mbps LED0 Link Indication
0	LED0_LINK_10	RW	1	10Mbps LED0 Link Indication

9 特性参数

9.1 绝对最大额定值

绝对最大额定值为器件所能承受的极限参数, 超出该范围会造成器件永久性损坏, 或影响器件使用寿命与可靠性。除非另有说明, 所有电压参数均以地 (GND) 为参考基准。

Table 9-1. 绝对最大额定值

符号	参数说明	最小值	最大值	单位
DVDD33, AVDD33	Supply Voltage 3.3V	-0.3	3.6	V
AVDDL, DVDDL	Supply Voltage 1.1V	-0.1	1.32	V
2.5V RGMII/GMII	Supply Voltage 2.5V	-0.2	2.8	V
1.8V RGMII	Supply Voltage 1.8V	-0.2	2.3	V
3.3V DCinput 3.3V DCoutput	Input Voltage Output Voltage	-0.3	3.6	V
1.1V DCinput 1.1V DCoutput	Input Voltage Output Voltage	-0.3	1.32	V
NA	Storage Temperature	-55	+125	°C

9.2 推荐工作条件

Table 9-2. 推荐工作条件

描述	引脚	最小值	典型值	最大值	单位
供电电压 VDD	DVDD33, AVDD33	2.97	3.3	3.63	V
	AVDDL, DVDDL	1.05	1.1	1.15	V
	2.5V RGMII/GMII	2.25	2.5	2.75	V
	1.8V RGMII	1.62	1.8	1.98	V
工作温度 TA (PG100DD)	-	0	-	70	°C
工作温度 TA (PG100DI)	-	-40	-	85	°C
最高结温	-	-	-	125	°C

9.3 晶振要求

Table 9-3. Crystal Requirements

符号	参数说明/测试条件	最小值	典型值	最大值	单位
F	工作频率	-	25	-	MHz
FT	频率容差	-50	-	+50	ppm
Duty Cycle	占空比: 参考时钟输入占空比。	40	-	60	%
Tr	上升沿时间 (10% -- 90%)	-	-	10	ns
Tf	下降沿时间 (10% -- 90%)	-	-	10	ns
V peak to peak	峰-峰值电压	3.0	3.3	3.6	V

9.4 DC 特性

符号	参数	测试条件	最小值	典型值	最大值	单位
VDD33, AVDD33	3.3V Supply Voltage	-	2.97	3.3	3.63	V
MDIO/RGMII I/O	2.5V RGMII Supply	-	2.25	2.5	2.75	V

MDIO/RGMII I/O	1.8V RGMII Supply Voltage	—	1.62	1.8	1.98	V
DVDDL, AVDDL	1.1V Supply Voltage	—	1.05	1.1	1.15	V
Voh (3.3V)	Minimum High Level Output Voltage	—	$0.9 \times VDD33$	—	$VDD33 + 0.3$	V
Voh (2.5V)	Minimum High Level Output Voltage	—	$0.9 \times VDD25$	—	$VDD25 + 0.3$	V
Voh (1.8V)	Minimum High Level Output Voltage	—	$0.9 \times VDD18$	—	$VDD18 + 0.3$	V
Vol (3.3V)	Maximum Low Level Output Voltage	—	-0.3	—	$0.1 \times VDD33$	V
Vol (2.5V)	Maximum Low Level Output Voltage	—	-0.3	—	$0.1 \times VDD25$	V
Vol (1.8V)	Maximum Low Level Output Voltage	—	-0.3	—	$0.1 \times VDD18$	V
Vih (3.3V)	Minimum High Level Input Voltage	—	2.0	—	—	V
Vil (3.3V)	Maximum Low Level Input Voltage	—	—	—	0.8	V
Vih (2.5V)	Minimum High Level Input Voltage	—	1.7	—	—	V
Vil (2.5V)	Maximum Low Level Input Voltage	—	—	—	0.7	V
Vih (1.8V)	Minimum High Level Input Voltage	—	1.2	—	—	V
Vil (1.8V)	Maximum Low Level Input Voltage	—	—	—	0.5	V
Iin	Input Current	Vin=VDD33 or GND	0	—	0.5	μA

9.5 AC 特性

9.5.1. MDC/MDIO 时序

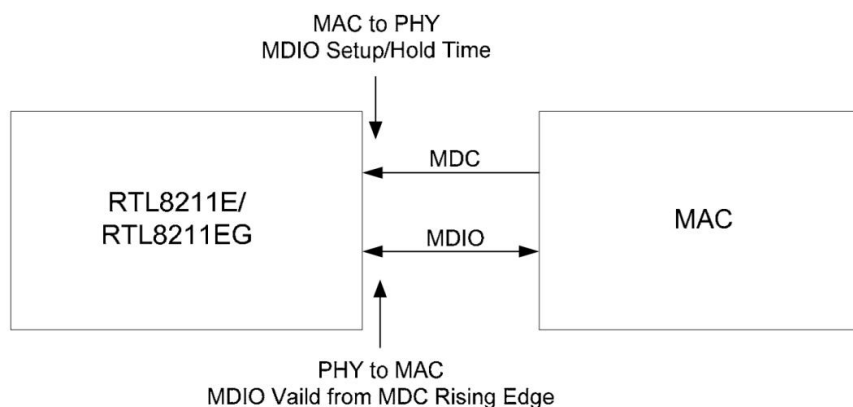


Figure 9-1. MDC/MDIO 建立时间、保持时间及 MDC 上升沿有效时序定义

MDC/MDIO 时序 - 管理接口

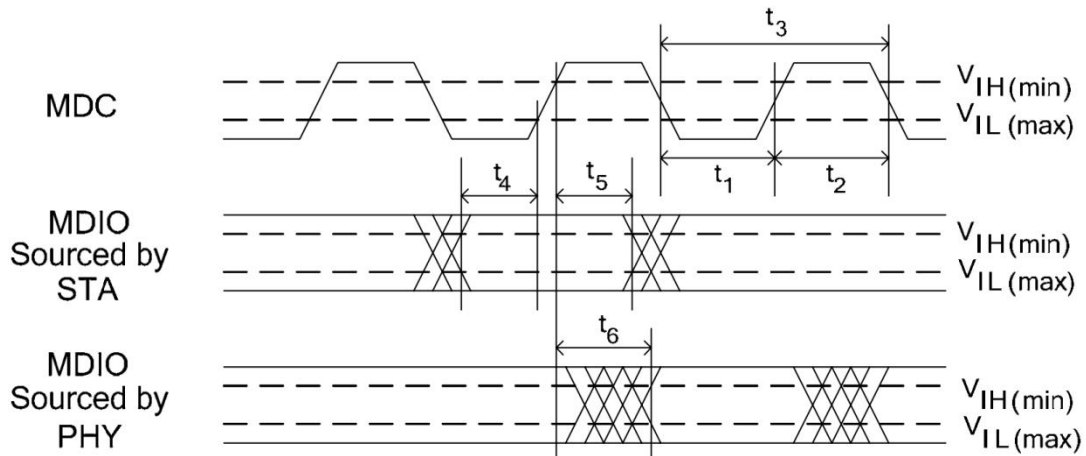


Figure 9-2. MDC/MDIO 管理时序参数

Table 9-5. MDC/MDIO 管理时序参数

符号	描述	最小值	最大值	单位
t1	MDC High Pulse Width	32	—	ns
t2	MDC Low Pulse Width	32	—	ns
t3	MDC Period	80	—	ns
t4	MDIO Setup to MDC Rising Edge	10	—	ns
t5	MDIO Hold Time from MDC Rising Edge	10	—	ns
t6	MDIO Valid from MDC Rising Edge	0	60	ns

9.5.2. RGMII 时序模式

该接口的时钟与数据由信号源同步输出，因此时钟与数据之间的相位偏移会直接影响设备正常工作。图 9-3 展示了 RGMII 模式下，为发送时钟（TXC）增加内部延时带来的时序变化效果。

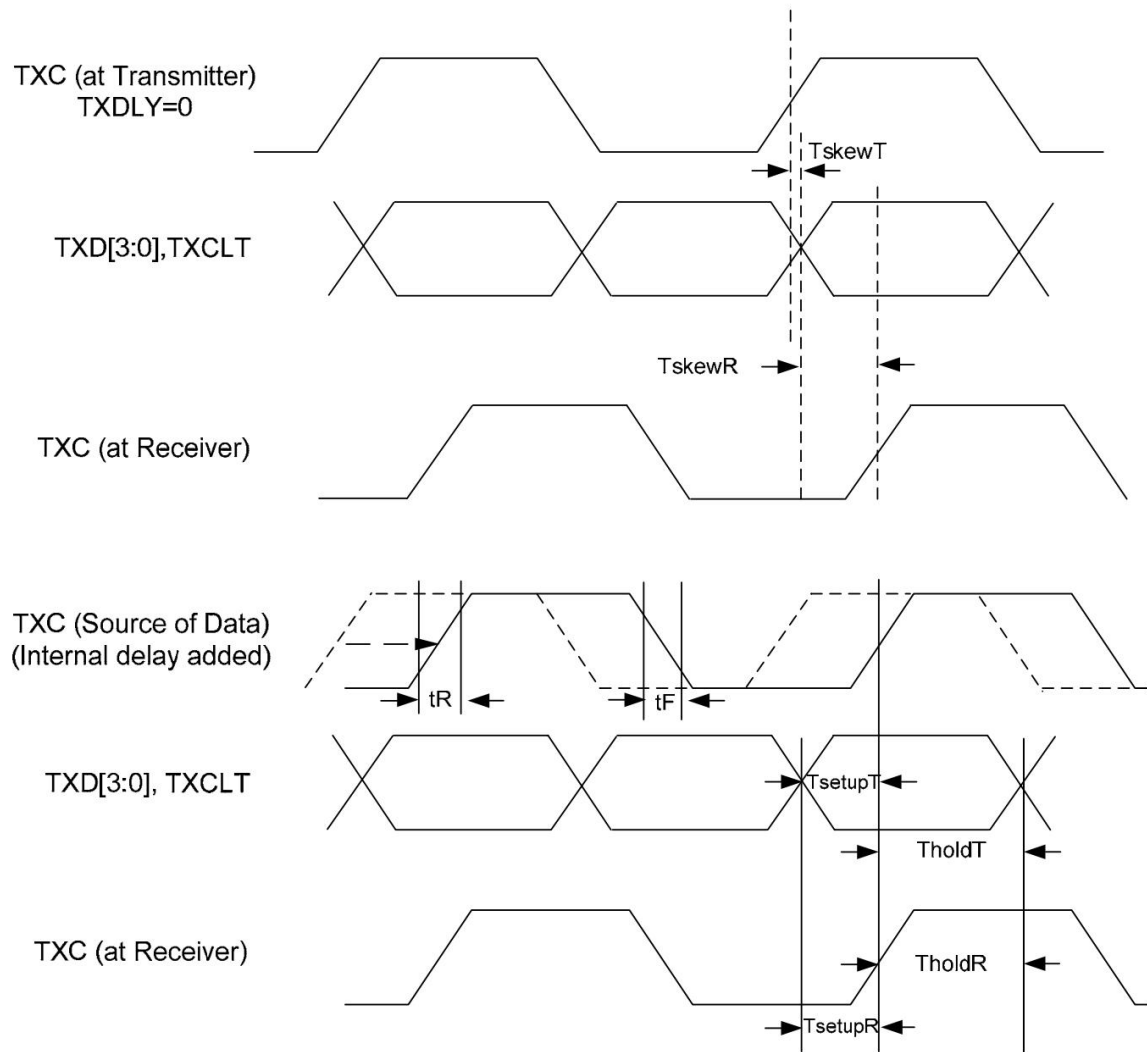


Figure 9-3. RGMII 时序模式 (For TXC)

图 9-4 展示 RGMII 模式下，为接收时钟 RXC 增加内部延时产生的时序效果。

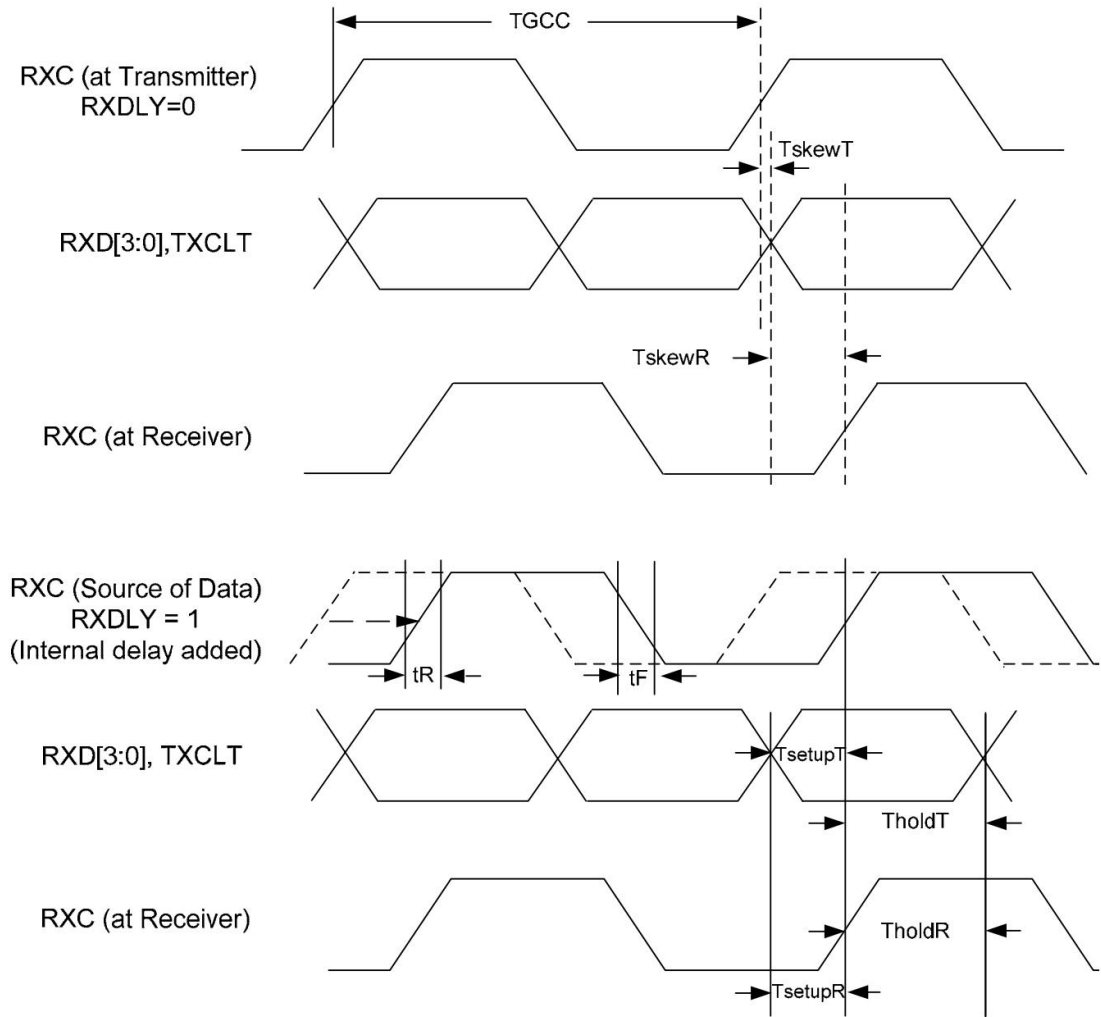


Figure 9-4. RGMII 时序模式 (For RXC)

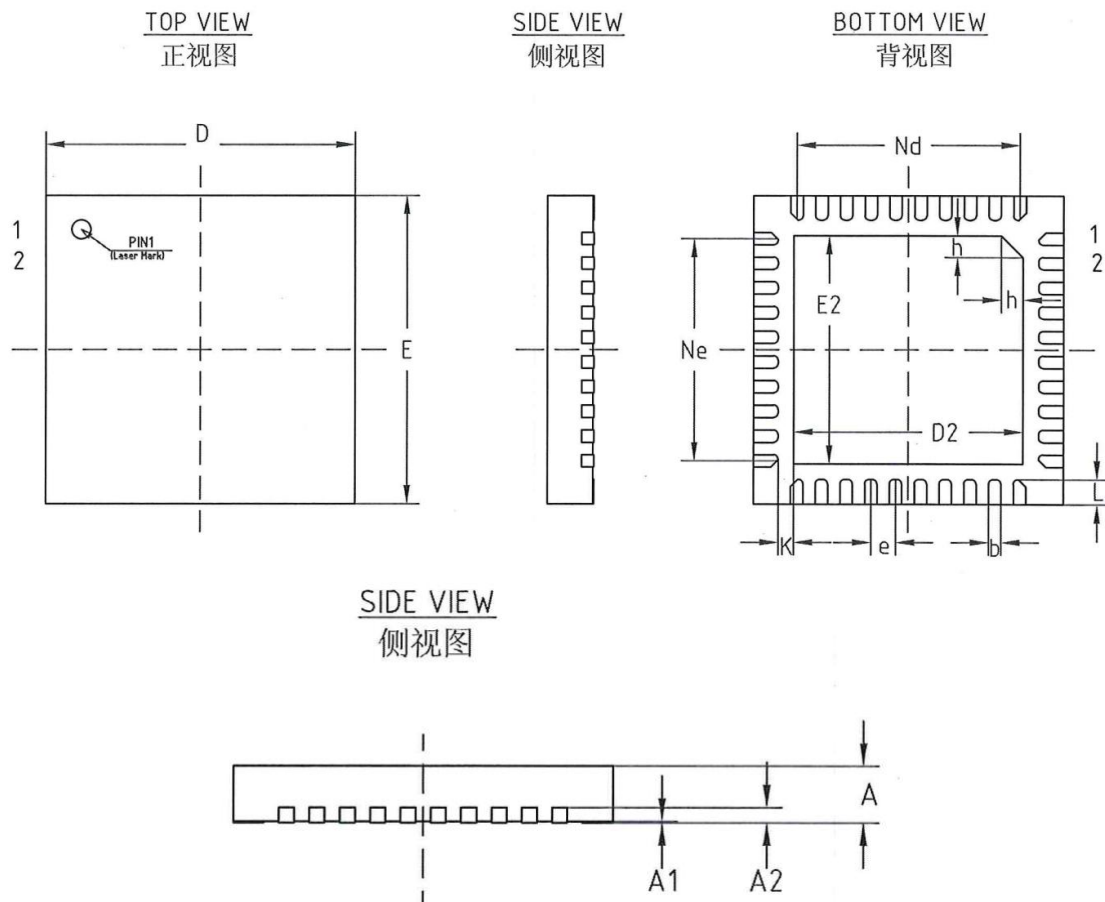
Table 9-5. RGMII 时序参数

符号	描述	最小值	典型值	最大值	单位
TGCC	Clock Cycle Duration (1000Mbps)	7.2	8	8.8	ns
	Clock Cycle Duration (100Mbps)	36	40	44	ns
	Clock Cycle Duration (10Mbps)	360	400	440	ns
Duty_G	Duty Cycle for 1000	45	50	55	%
Duty_T	Duty Cycle for 10/100	40	50	60	%
tR	TXC/RXC Rise Time (20%~80%)	—	—	0.75	ns
tF	TXC/RXC Fall Time (20%~80%)	—	—	0.75	ns
TsetupT	Data to Clock Output Setup (at transmitter integrated delay)	1.2	2	—	ns
TholdT	Data to Clock Output Hold (at transmitter integrated delay)	1.2	2	—	ns
TsetupR	Data to Clock Input Setup (at receiver integrated delay)	1.0	2	—	ns
TholdR	Data to Clock Input Hold (at receiver integrated delay)	1.0	2	—	ns
TskewT	Data to Clock Output Skew (at transmitter)	-0.5	0	0.5	ns

TskewR	Data to Clock Input Skew (at receiver) This implies that PC board design will require clocks to be routed such that an additional trace delay of greater than 1.5ns and less than 2.0ns will be added to the associated clock signal.	1	1.8	2.6	ns
--------	--	---	-----	-----	----

10 机械尺寸

40 引脚 QFN, 5mm×5mm, 典型厚度 0.75mm。



机械尺寸/mm			
字符 SYMBOL	最小值 MIN	典型值 NOMINAL	最大值 MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
A2	0.203 REF		
b	0.15	0.20	0.25
D	4.90	5.00	5.10
D2	3.60	3.70	3.80
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
e	0.40 BSC		
K	0.20	0.25	0.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40
Ne	3.60 BSC		
Nd	3.60 BSC		

11 订购信息

型号	封装
PG100D	40pin QFN
PG100DI	40pin QFN 工业级